

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-284625

(43)Date of publication of application : 09.10.1992

(51)Int.Cl.

H01L 21/265

H01L 27/092

H01L 27/148

(21)Application number : 03-048530

(71)Applicant : FUJITSU LTD

(22)Date of filing : 14.03.1991

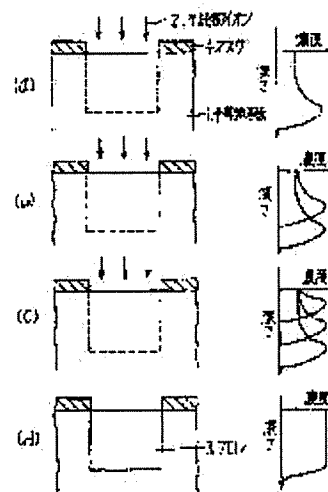
(72)Inventor : KUEDA TAKEHIRO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To make the concentration of impurities uniform and to make the stretch of a depletion layer large with reference to the depth of a well regarding the formation method of the well at a semiconductor device.

CONSTITUTION: Impurity ions 2 of an opposite conductivity type are implanted into a semiconductor substrate 1 of one conductivity type selectively at a high energy by an ion implantation method; in succession, the impurity ions of the opposite conductivity type are implanted into the same position repeatedly a plurality of times at an energy which is lower than that at the last time by an ion implantation method. After that, the semiconductor substrate is heat-treated for activation use; a well 3 of the opposite conductivity type is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-284625

(43) 公開日 平成4年(1992)10月9日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/265				
27/092				
27/148				
		7738-4M	H 0 1 L 21/265	F
		7342-4M	27/08	3 2 1 B
審査請求 未請求 請求項の数 1 (全 5 頁) 最終頁に続く				

(21) 出願番号 特願平3-48530

(22) 出願日 平成3年(1991)3月14日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 久枝 健弘

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

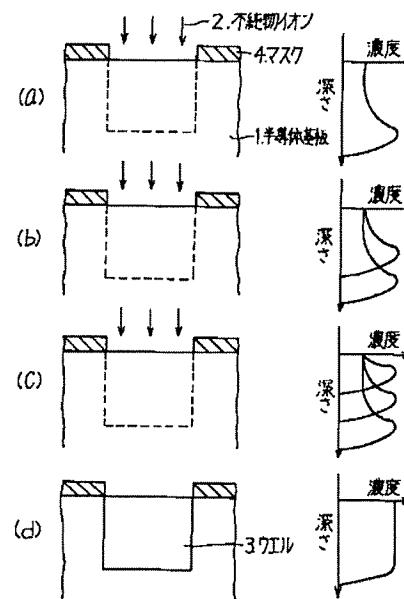
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 半導体装置におけるウエルの形成方法に関し、不純物の濃度を一定にし、ウエルの深さに対して空乏層の伸びを大きくすることを目的とする。

【構成】 一導電型半導体基板中1に、イオン注入法により反対導電型の不純物イオン2を高エネルギーで選択的に注入し、続いて、イオン注入法により前回より低いエネルギーで、反対導電型の不純物イオン2を同じ位置に選択的に、前回より低いエネルギーで、複数回繰り返し注入し、しかる後、半導体基板1を活性化熱処理して反対導電型のウエル3を形成するように構成する。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 一導電型半導体基板中(1)に、イオン注入法により反対導電型の不純物イオン(2)を選択的に注入し、続いて、該半導体基板(1)中に、イオン注入法により前回より低いエネルギーで、反対導電型の不純物イオン(2)を同じ位置に選択的に注入する工程を少なくとも1回行い、しかる後、該半導体基板(1)を活性化熱処理して反対導電型のウエル(3)を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置におけるウエルの形成方法に関する。近年の半導体装置の高集積化、高速化に伴い、ウエル形成の不純物イオンの注入技術においても高エネルギーのものが多く用いられるようになってきている。

【0002】

【従来の技術】図4は従来例の説明図である。図において、20はシリコン(Si)基板、21は素子分離酸化膜、22はマスク、23は不純物イオン、24は拡散層である。

【0003】従来のイオン注入法を用いたウエル形成技術には、主に二つの方法がある。まず、第1の方法は、半導体装置内のウエルの形成を素子分離酸化膜形成前に行うもので、これは、従前、イオン注入の加速電圧が一般的に200KeVが上限だったためである。

【0004】即ち、図4(a)左側に示すように、加速電圧180KeV程度の中エネルギーで、不純物イオン23のSi基板20内へのイオン注入を行った後、1,200℃で6時間程度の活性化熱処理を行って、注入した不純物をSi基板20内に拡散させて、拡散層24を形成してウエルとするものである。

【0005】所望の表面濃度や深さを得るための不純物プロファイルは図4(a)図右側に示す通りであり、特に、p型ウエルのCMOSの場合は相対的にウエルの抵抗値が高いものであった。

【0006】この方法は、ウエルの深さをコントロールするためには、熱処理時間を延ばすか、或いは、熱処理温度を上げるしか方法がないが、この結果、処理量(スループット)が上がらず、また、熱処理炉の炉芯管が傷むため、コストが高く付く欠点がある。

【0007】次ぎに、第2の方法は、図4(b)に示すように、素子分離酸化膜形成後に、加速電圧200KeV乃至6MeVの高エネルギーで、不純物イオン23のSi基板20内へのイオン注入を行った後、熱処理して拡散層24を形成し、ウエルとする方法で、現在実現しつつある。

【0008】この方法では、図4(b)右側に示すように、注入エネルギーを上げることで、ウエルを深くすることができるが、被注入基板であるSi基板20の表面側は比較的低濃度で、Si基板20の深いところが高濃度となる高エネルギー注入独特のリトログレードウエルの分布とな

り、ウエルの深さの割には、空乏層がSi基板20の内部に延びない欠点がある。

【0009】

【発明が解決しようとする課題】従って、深いウエルを形成する割には、空乏層の領域が狭くなり、例えば、固体撮像素子(Charge Coupled Device: CCD)の場合、ウエルが深いにもかかわらず、空乏層が延びないために、長波長側の光が吸収できないといった問題点が生じていた。

10 【0010】本発明は、上記の問題点に鑑み、深く広い空乏層の領域を得ることを目的として提供されるものである。

【0011】

【課題を解決するための手段】図1は本発明の原理説明図である。図において、1は半導体基板、2は不純物イオン、3はウエル、4はマスクである。

【0012】上記の問題点は次ぎの方法によって解決される。まず、レジスト膜等のマスク4を用いて、MeV級の高エネルギーイオン注入により半導体基板1内に反対導電型の不純物イオン2を注入する。図1(a)はこの場合の基板内の深さに対する不純物の濃度プロファイルである。

【0013】続いて、前回より低い、KeV級の高エネルギーイオン注入により半導体基板1内に反対導電型の不純物イオン2を再び注入する。図1(b)はこの場合の基板内の深さに対する不純物の濃度プロファイルである。

【0014】更に、前回より低い、KeV級の中エネルギーイオン注入により半導体基板1内に反対導電型の不純物イオン2を更に注入する。図1(c)はこの場合の基板内の深さに対する不純物の濃度プロファイルである。

【0015】このように、高エネルギーイオン注入を、エネルギーの量を少しずつ低い方に変えて、数回断続的に、或いは、一度に連続的に可変して行う。その後、図1(d)に示すように、半導体基板1を活性化熱処理することによって、半導体基板1内の深さ方向の濃度が一定な良好なウエル3を形成することができ、このことによって、半導体基板1内の空乏層をより大きく広げることが可能となる。

40 【0016】即ち、本発明の目的は、図1(a)に示すように、一導電型半導体基板1中に、イオン注入法により反対導電型の不純物イオン2を選択的に注入し、続いて、図1(b)、(c)に示すように、該半導体基板(1)中に、イオン注入法により前回より低いエネルギーで、反対導電型の不純物イオン2を同じ位置に選択的に注入する工程を少なくとも1回行い、しかる後、図1(d)に示すように、該半導体基板1を活性化熱処理して反対導電型のウエル3を形成することにより達成される。

【0017】

50 【作用】本発明では、空乏層がより多く広がるウエルを

形成することにより、CCDにおいては感度を上げることができ、また、メモリ素子においては集積度を上げることが可能となる。

【0018】

【実施例】図2は本発明の一実施例の工程順模式断面図、図3は本発明のイオン注入法により半導体基板内に形成されたウエルの不純物濃度プロファイルである。

【0019】図において、6はSiウエハ、7はフィールド酸化シリコン(SiO₂)膜、8はパッドSiO₂膜、9はレジスト膜、10はB⁺、11は注入層、12はpウエル、13はゲートSiO₂膜、14は多結晶シリコン(ポリSi)ゲート電極、15はSiO₂膜、16はn型ソース・ドレイン拡散層、17はp型ソース・ドレイン拡散層、18はアルミニウム(Al)電極、19はカバー・珪酸ガラス(PSG)膜である。

【0020】図2(a)に示すように、n型10ΩcmのSiウエハ6の表面に薄いパッドSiO₂膜8を熱酸化法により200Åの厚さに形成した後、図示しないSi₃N₄膜をCVD法により1,000Åの厚さに成長し、素子形成領域上にパタニングする。

【0021】次に、選択酸化(LOCOS)法により、フィールドSiO₂膜7をウェット酸化により900℃で6,000Åの厚さに形成する。そして、マスクとしてレジスト膜9をパタニングし、素子形成領域にイオン注入法により、硼素イオン(B⁺)10を加速電圧1Mev、ドーズ量1x10¹³/cm²の条件で注入する事により、Siウエハ6内に不純物の注入層11ができる。

【0022】次に、図2(b)に示すように、同じ素子形成領域にイオン注入法により、硼素イオン(B⁺)10を加速電圧を前回の半分の500Kev、ドーズ量5x10¹²/cm²の条件で注入する。

【0023】更に、図2(c)に示すように、再度、同じ素子形成領域にイオン注入法により、硼素イオン(B⁺)10を加速電圧を更に減少して200Kev、ドーズ量1x10¹²/cm²の条件で注入する。

【0024】続いて、図2(d)に示すように、素子形成領域上に、塩酸酸化法により、ゲートSiO₂膜13を1,000℃で150Åの厚さに成長する。同時に、Siウエハ6中にイオン注入されたBイオン10が活性化されて、図3に示すように、Siウエハ6の深さ方向に不純物濃度が均一なpウエル12が形成される。

【0025】その後、通常の方法により、図2(e)に示すように、ポリSi膜ゲート電極14をCVD法により3,000Åの厚さにパタニング形成し、n型のソース・ドレイン拡散層16及びp型のソース・ドレイン拡散層17を形成する。

【0026】続いて、CVD法によりSiO₂膜15を700℃で3,000Åの厚さに被覆し、スパッタ法により1.2μmの厚さにAl膜を形成し、Al電極18にパタニングを行った後、CVD法により、カバーPSG膜19を被覆して、CMOSデバイスを形成する。

【0027】

【発明の効果】以上説明したように、本発明によれば、CCDをより高感度にすることができ、また、メモリデバイスの高集積化の一助となる。

【0028】従って、デバイスの高機能化に寄与するところが大きい。

【図面の簡単な説明】

【図1】 本発明の原理説明図

【図2】 本発明の一実施例の工程順模式断面図

【図3】 不純物濃度プロファイル

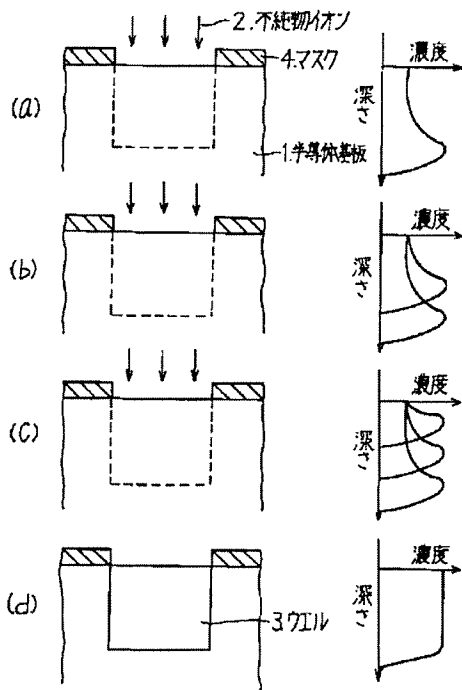
【図4】 従来例の説明図

【符号の説明】

- 1 半導体基板
- 2 不純物イオン
- 3 ウエル
- 4 マスク
- 6 Siウエハ
- 7 フィールドSiO₂膜
- 8 パッドSiO₂膜
- 9 レジスト膜
- 10 B⁺
- 11 注入層
- 12 pウエル
- 13 ゲートSiO₂膜
- 14 ポリSiゲート電極
- 15 SiO₂膜
- 16 n型ソース・ドレイン拡散層
- 17 p型ソース・ドレイン拡散層
- 18 Al電極
- 19 カバー PSG膜

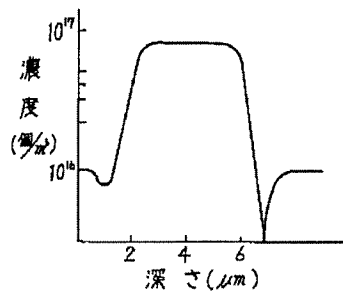
【図1】

本発明の原理説明図



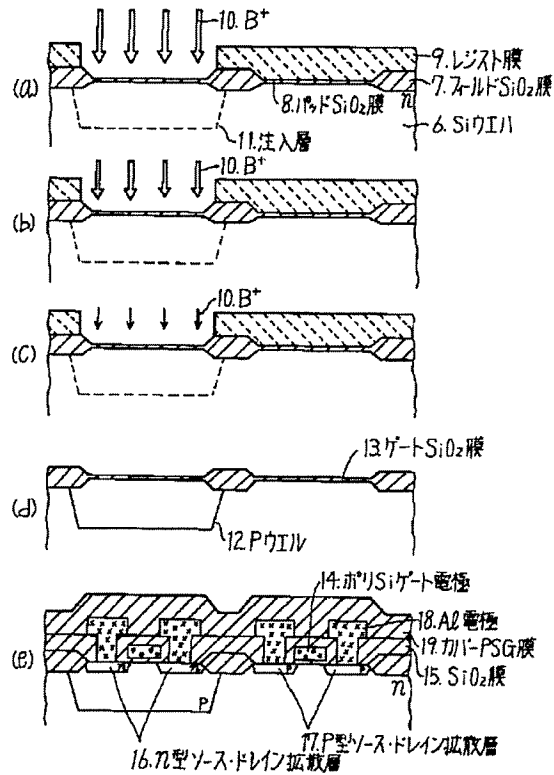
【図3】

不純物濃度プロファイル



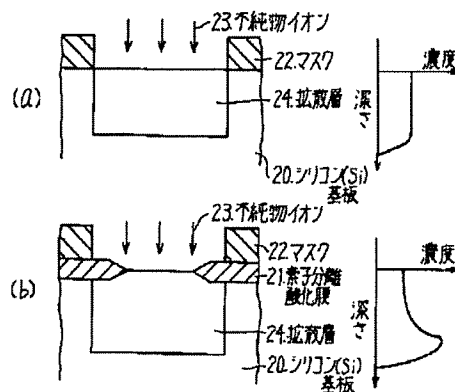
【図2】

本発明の一実施例の工程順模式断面図



【図4】

従来例の説明図



フロントページの続き

(51) Int. Cl.⁵

識別記号

庁内整理番号
8223-4M

F I

H 0 1 L 27/14

技術表示箇所

B